

ИССЛЕДОВАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ КОНТРОЛЛЕРА СИСТЕМНОЙ МАГИСТРАЛИ ДЛЯ СПЕЦИАЛИЗИРОВАННОГО ВЫЧИСЛИТЕЛЬНОГО МОДУЛЯ И ВЫБОР ВАРИАНТА РЕАЛИЗАЦИИ

Г.А. Смелчакова, В.В. Язева, А.Ю. Кирилин, А.В. Овчинников

АО «НПО автоматики», Россия (620075, Россия, г. Екатеринбург, ул. Мамина-Сибиряка, 145), e-mail: gasmelchakova@gmail.com

Аннотация: Рассмотрена задача реализации контроллера системной магистрали для вычислительного модуля, предназначенного для использования в составе цифровой вычислительной системы семейства «Малахит». Контроллер выполнен на базе программируемой логической интегральной схемы и осуществляет сопряжение процессора серии «Мультикор», являющегося ядром модуля, с системной магистралью. Проработаны варианты реализации контроллера для конкретной приборной реализации модуля, сделаны выводы и рекомендации по их применению.

Ключевые слова: цифровая вычислительная система, контроллер, процессор «Мультикор», надежность.

RESEARCH OF WAYS OF REALIZATION OF THE INFORMATION INTERCHANGE CONTROLLER FOR THE SPECIALIZED COMPUTING MODULE AND IMPLEMENTATION VARIATION CHOICE

G.A. Smelchakova, V.V. Yazeva, A.U. Kirilin, A.V. Ovchinnikov

SPA of Automatics, Yekaterinburg, Russia (620075, Russia, Yekaterinburg, street Mamina-Sibiryaka, 145), e-mail: gasmelchakova@gmail.com

Abstract: The problem of implementation of the information interchange controller that is intended for the specialized computing system is discussed. The controller is implemented on programmable logic integrated circuits and provides processor of series «multicore» and information interchange interface logical connective. The ways of controller realization are researched and recommendations of efficient controller variations use are made.

Key words: a digital computing system, controller, multicore, reliability.

Введение

Разработан специализированный вычислительный модуль (СВМ) для использования в составе бортовой цифровой вычислительной системы (БЦВС) семейства «Малахит» [1], предназначенный для решения функциональных задач и проведения высокоточных вычислений. Обмен информацией между СВМ и другими модулями БЦВС осуществляется по дублированной параллельной 16-разрядной системной магистрали, а обмен со смежными подсистемами – по дублированной кодовой линии связи (КЛС) по ГОСТ Р 52070-2003 [2] и по дублированному интерфейсу SpaceWire [3].

В состав СВМ входят: центральный процессор, оперативные запоминающие устройства (ОЗУ) и постоянные запоминающие устройства (ПЗУ), блоки сопряжения процессора с

магистралью (БСМ1, БСМ2), комплекты приемо-передающих устройств (ППУ) кодовой линии связи (КЛС) по ГОСТ Р 52070-2003.

В качестве центрального процессора целесообразно использование процессора серии «Мультикор» 1892ВМ8Я, разработанный ОАО НПЦ «ЭЛВИС» [4]. Он отвечает основным требованиям, предъявляемым к СВМ для реализации высокоточных вычислений. Кроме того, в состав процессора введен контроллер SpaceWire для реализации обменов по интерфейсу SpaceWire. БСМ выполнен на основе программируемой логической интегральной схемы (ПЛИС), имеющей в составе встроенный кодер/декодер интерфейса ГОСТ Р 52070-2003, например, 5576ХС1Т [4]. Интерфейс системной магистрали является специфическим. Стоит задача разработки контроллера системной магистрали (КСМ) с учетом особенностей работы процессора и ограниченности ресурсов ПЛИС.

Требования к контроллеру системной магистрали

КСМ должен входить в состав БСМ и обеспечивать прием и передачу информации по системной магистрали. В соответствии с идеологией БЦВС семейства «Малахит» СВМ должен иметь возможность самостоятельно проводить обмены, а также отвечать на запросы со стороны других модулей магистрали.

КСМ должен осуществлять два вида обменов: выдача слова данных и выдача массива данных. Каждый обмен состоит из двух частей: заголовка пакета и его информационной части. Заголовком пакета в режиме выдачи слова данных является управляющее слово, содержащее адрес модуля на магистрали, которому адресован обмен, признак обмена и адрес регистра, доступного со стороны системной магистрали. Заголовком пакета в режиме выдачи массива данных является управляющее слово приемнику информации, управляющее слово передатчику информации и количество слов данных.

Передача данных в режиме выдачи массива информации отделена от заголовка пакета паузой, составляющей 4,5 мкс, предназначенной для того, чтобы передатчик и приемник информации успели подготовиться к передаче/приему данных. В режиме выдачи слова данных пауза не выдерживается, и слово данных передается непосредственно за заголовком.

Скорость обмена по системной магистрали фиксированная. Выдача слова данных осуществляется за 500 нс. Допускается задержка в выдаче данных, однако длительность всего обмена не должна превышать расчетную более чем на 32 мкс.

Размер пакета в режиме обмена массивом информации – не более 32К слов.

Проработка вариантов реализации КСМ

Взаимодействие процессора с КСМ должно осуществляться посредством регистров. Минимальный набор регистров должен содержать: регистр флагов, отражающий наступившие в системе события, регистр управляющего слова передатчика информации, регистр управляющего слова приемника информации, регистр количества слов для обмена массивом данных. Выдача/прием массива данных должен производиться из/в память процессора (внутреннюю память, ОЗУ, ПЗУ).

Возможны два варианта взаимодействия процессора с КСМ в режиме обмена массивом: посредством контроллера прямого доступа в память (Direct Memory Access, DMA) процессора, посредством записи/чтения данных в/из выделенной области памяти в БСМ до/после проведения обмена. В первом случае работа процессора будет приостановлена на время перекачки данных из памяти в БСМ. Коммутатор (AXI Switch), встроенный в процессор, гарантирует исключение конфликтов (под конфликтом понимается одновременное обращение в область памяти со стороны БСМ и процессора): работа процессора приостанавливается на время передачи управления DMA-контроллеру.

Во втором случае разработчик алгоритмов работы СВМ должен обеспечить перекачку данных из памяти процессора в память БСМ перед/после окончания обмена. При такой реализации возрастает фактическая длительность обмена, что становится критическим при обмене пакетами по 1024 слова каждую миллисекунду. Кроме того, разработчик алгоритмов работы СВМ должен самостоятельно разрешать возможные конфликты.

Целесообразно использование контроллера DMA.

Контроллер DMA процессора серии «Мультикор» имеет следующие каналы:

– 4 канала обмена данными между портами MFBSP, в частности последовательным портом LPORT, и внутренней или внешней памятью (MFBSP_Ch0 – MFBSP_Ch3);

– 4 канала обмена данными между двумя любыми областями памяти (MemCh0 – MemCh3). Передача данных осуществляется 64 или 32-разрядными словами.

Для минимизации времени проведения обмена целесообразно использование каналов MemCh. Каналы DMA должны быть настроены на работу по внешним запросам, то есть для инициализации канала необходимо наличие сигнала nDMAR. Данный сигнал должна формировать БСМ по готовности данных в режиме приема массива данных в память СВМ и по требованию данных из памяти СВМ в режиме выдачи массива данных.

Структура взаимодействия процессора и КСМ показана на рисунке 1.

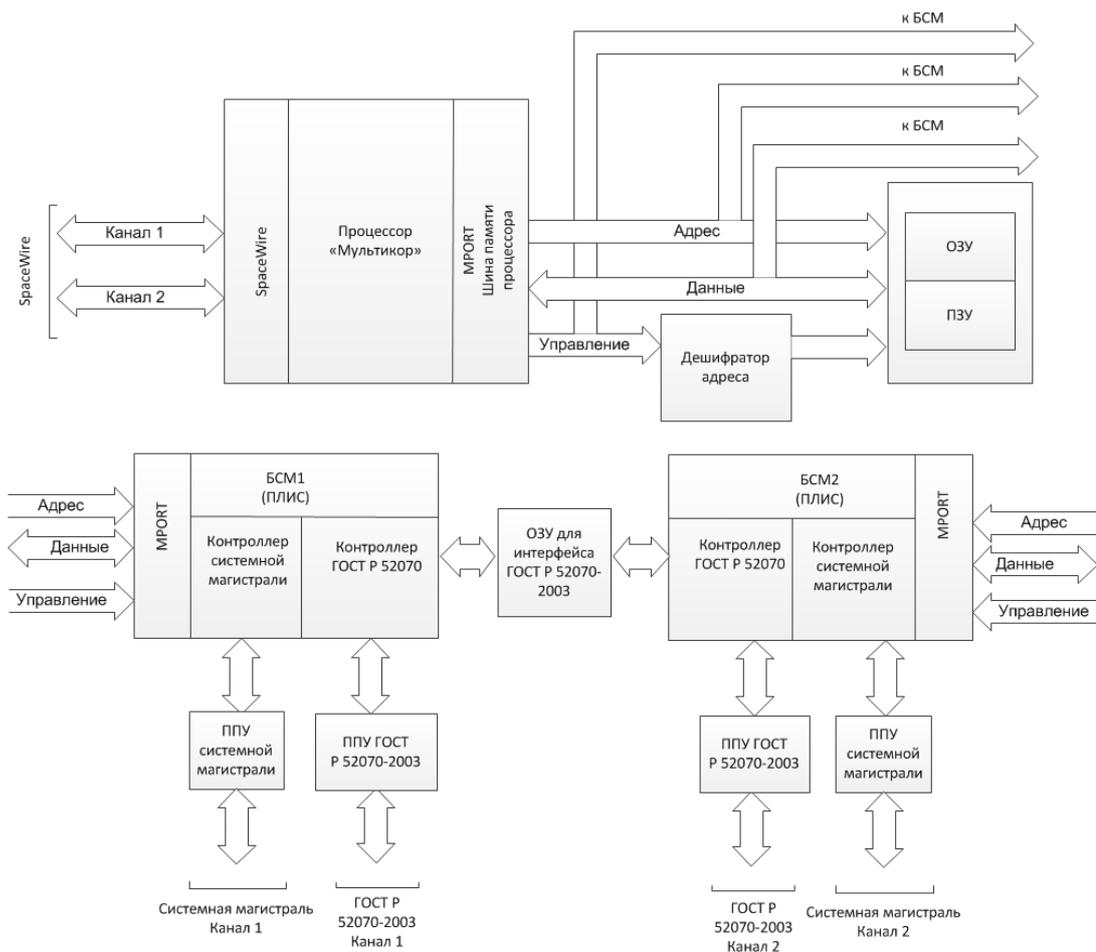


Рисунок 1. Структура взаимодействия процессора и КСМ

При реализации КСМ необходимо учитывать, что приоритет процессора выше, чем у контроллера DMA. Коммутатор AXI Switch передаст управление контроллеру DMA после того, как процессор выполнит одну из следующих операций: чтение или запись одного слова данных, выборка команды из внешней памяти (длительность выборки до трех тактов процессора), процедура Refill (загрузка из внешней памяти 4 команд). Каналы DMA за один цикл занятия коммутатора передают пачку данных, размер которой может задаваться разработчиком алгоритмов от 1 до 16 слов.

Внешняя память процессора подключается через MPORT, время доступа к ней на чтение – не менее 2 тактов процессора, на запись – не менее 3 и зависит от выбора микросхем ОЗУ и ПЗУ. Для радиационно-стойких ОЗУ 1645PY4Y время выборки данных составляет 10 нс [6], для радиационно-стойких ПЗУ 1636PY2Y – 65 нс [7]. Это время должно быть увеличено с учетом времени спада и возрастания фронта сигнала до 40 нс для ОЗУ и 96 нс для ПЗУ, что соответствует 3 тактам процессора и 6 тактам процессора соответственно при настройке частоты процессора на 72 МГц. ПЛИС БСМ подключается через MPORT, время доступа к ней зависит от используемых алгоритмов работы. Для ПЛИС 5576XC1T, работающей на частоте 24 МГц, время обращения – не менее 200 нс.

Варианты реализации КСМ с минимальными затратами ресурсов

Проработаны следующие варианты реализации КСМ с минимальными затратами ресурсов ПЛИС.

1. В БСМ определены 32-разрядные регистры DDMA0, DDMA1 для записи и чтения в режиме обмена массивами данных соответственно. Канал DMA MemCh0 настраивается на выдачу данных в БСМ следующим образом: число слов в пачке – 1, формат передаваемых данных – 32-разрядные, режим передачи данных – линейный, адрес приемника – адрес регистра DDMA0, адрес передатчика – адрес памяти, количество слов для передачи – количество слов в обмене по магистрали, смещение адреса для регистра DDMA0 после передачи каждого слова данных – 0, смещение адреса для памяти – 1. Канал DMA MemCh1 настраивается на прием данных из БСМ: число слов в пачке – 1, формат передаваемых данных – 32-разрядные, режим передачи данных – линейный, адрес приемника – адрес памяти, адрес передатчика – адрес регистра DDMA1, количество слов для передачи – количество слов в обмене по магистрали, смещение адреса для регистра DDMA1 после передачи каждого слова данных – 0, смещение адреса для памяти – 1.

КСМ обеспечивает выдачу сигнала nDMAR каждые 500 нс. После выдачи сигнала контролируется запись/чтение в регистр DDMA0/DDMA1 и осуществляется выдача данных в магистраль/память процессора.

Разработанная схема опробована на практике. Оказалось невозможным проведение обменов по магистрали в режиме выполнения программы из внешней памяти или с использованием кэша процессора; невозможным проведения обменов с внешней памятью. Сделан вывод о непригодности такого варианта реализации КСМ для СВМ.

2. В БСМ определены 64-разрядные регистры DDMA0, DDMA1 для записи и чтения в режиме обмена массивами данных соответственно. Настройка каналов DMA аналогична предыдущему варианту за исключением, того, что формат передаваемых данных – 64-разрядные слова. КСМ обеспечивает выдачу сигнала nDMAR за время не более 1 мкс. При передаче управления DMA-контроллеру, за одно предоставление прямого доступа контроллеру будет осуществлен обмен двумя словами.

Разработанная схема опробована на практике. Стабильная работа КСМ гарантируется при выполнении следующих условий:

- выполнение программы из внутренней памяти процессора (CRAM, XRAM, YRAM, PRAM) или из внешнего ОЗУ в режиме работы без кэша процессора, при этом прием/выдача данных осуществляется в/из внутренней памяти процессора, ограничение на длину пакета: не более 1024 слова;

- выполнение программы из внутренней памяти процессора (CRAM, XRAM, YRAM, PRAM) в режиме работы с кэшем процессора, при этом прием/выдача данных осуществляется в/из внутренней памяти процессора; ограничение на длину пакета: не более 32 слов.

Сделан вывод о непригодности такого варианта реализации КСМ в СВМ.

Вариант реализации КСМ с внутренним буфером

Целесообразно использование внутреннего буфера в ПЛИС для временного хранения данных, принимаемых/передаваемых из/по магистрали, который позволит нивелировать задержки на прием и передачу данных, возникающие в результате того, что коммутатор

AXI Switch не сразу передает управление DMA-контроллеру. В виду ограниченности ресурсов ПЛИС целесообразно сделать буфер кольцевым, а в процессе обмена непрерывно контролировать загрузенность буфера. Если в процессе обмена буфер будет переполнен, должен сформироваться признак сбоя обмена.

В КСМ должны быть реализованы два независимых потока. Первый поток отвечает за взаимодействие с системной магистралью и имеет более высокий приоритет. В режиме приема массива из магистрали поток складывает принятые из магистрали данные в буфер. В режиме передачи массива в магистраль поток КСМ выдает данные из буфера в магистраль каждые 500 нс.

Второй поток КСМ отвечает за взаимодействие с процессором. В режиме приема массива поток генерирует сигнал nDMAR по готовности данных для выдачи в память СВМ. Выдача очередного сигнала nDMAR осуществляется после окончания выдачи данных в память и готовности следующей пачки данных для выдачи. В режиме передачи массива в магистраль поток КСМ начинает запрашивать данные из памяти СВМ сразу же после выдачи заголовка пакета в магистраль, выдача данных осуществляется через 4,5 мкс после выдачи заголовка пакета. Выдача очередного сигнала nDMAR осуществляется после окончания передачи данных из памяти процессора в буфер и при наличии места в буфере для следующей пачки данных.

Схема работы КСМ в режиме приема массива из магистрали показана на рисунке 2, в режиме передачи массива – на рисунке 3. Через k_{RD} обозначено количество слов в пачке данных, передаваемых за одно предоставление доступа DMA-контроллеру, в режиме передачи массива данных из магистрали в память СВМ, k_{WR} – количество слов в пачке данных в режиме передачи массива данных из памяти СВМ в магистраль, N_{RD} – размер циклического буфера в режиме приема массива, N_{WR} – размер циклического буфера в режиме передачи массива.

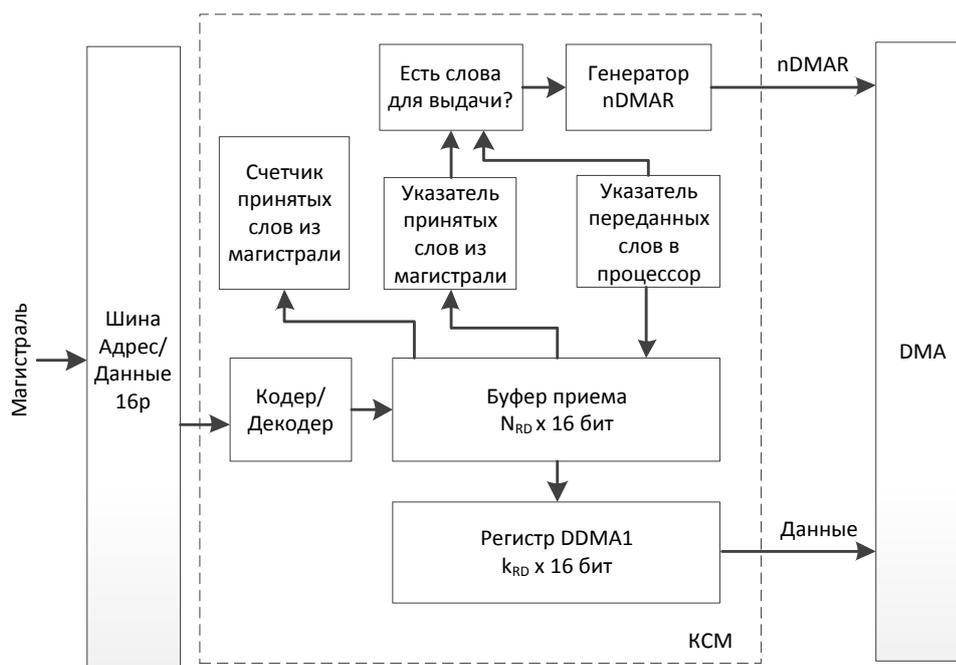


Рисунок 2. Схема работы КСМ в режиме приема массива из магистрали

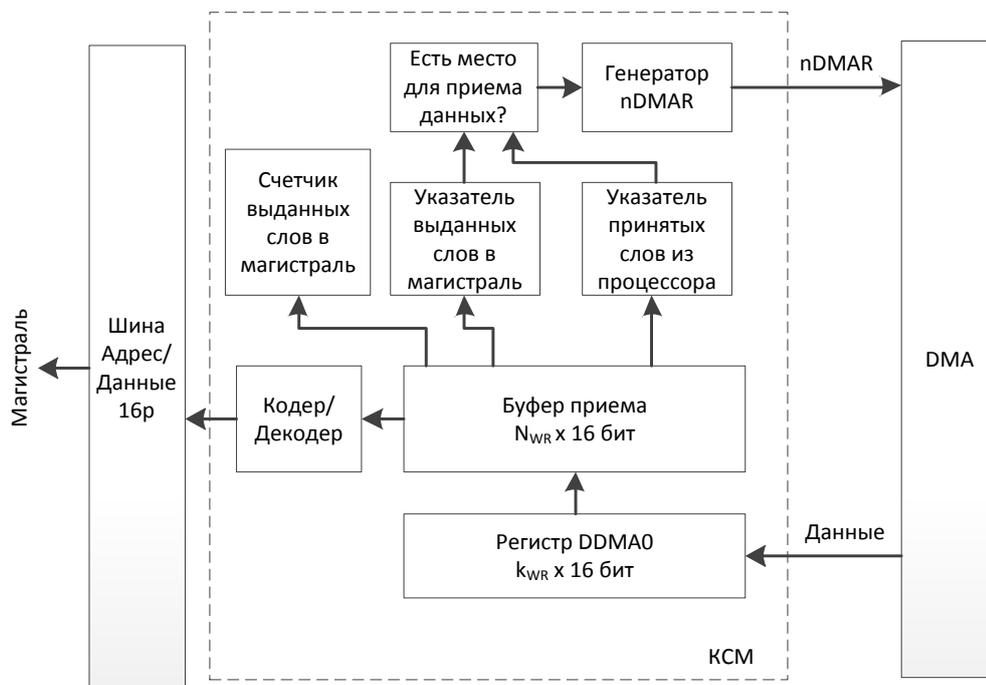


Рисунок 3. Схема работы КСМ в режиме передачи массива в магистраль

Требуется определить оптимальные значения параметров k_{RD} , k_{WR} , N_{RD} , N_{WR} . Критерием оптимальности является стабильность обменов по магистральной при передаче 32К слов.

Исследование вариантов реализации КСМ

Разработана модель взаимодействия КСМ и процессора в режиме приема и передачи массива. Модель реализует диаграммы взаимодействия КСМ и процессора, показанные на рисунке 4. Через t_{DMA} обозначено время, через которое коммутатор AXI Switch передает управление DMA-контроллеру после формирования nDMAR, через t_{PLIS} – время обращения к ПЛИС, t_{ZU} – время обращения к запоминающему устройству (ОЗУ или ПЗУ). RD – сигнал разрешения чтения данных, WR – сигнал разрешения записи данных, формируемые процессором. Если взаимодействие осуществляется с внутренней памятью процессора, сигналы WR при приеме массива и RD при передаче массива не формируются, t_{ZU} равно времени обращения во внутреннюю память.

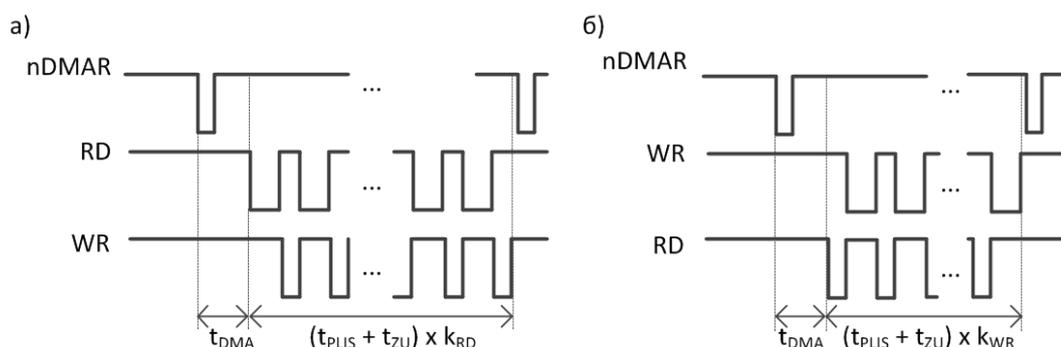


Рисунок 4. Диаграммы взаимодействия КСМ и процессора: а) в режиме приема массива из магистральной; б) в режиме передачи массива в магистраль

Особенностью разработки программ для процессора «Мультитор» является то, что они разрабатываются на языке программирования C++. Запись и чтение в область памяти компилятором gcc преобразовывается в последовательности команд, представленные в

таблице 2. Через t_{CPU} обозначено время обращения к области выполнения программы, t_{ZU_R} – время обращения к переменной R, t_{ZU_temp} – время обращения к переменной temp.

Таблица 2. Программа

Код на C++	Дизассемблерный код	Длительность выполнения, тактов
//R – переменная в области памяти по адресу 0xb500108 R = 0x12345678	lui v0,v0,0x1234 ori vo,vo,0x5678 lui at, 0xb500 sw vo,264(at)	$t_{CPU}+1$ $t_{CPU}+1$ $t_{CPU}+1$ $t_{CPU}+1+t_{ZU_R}$
unsigned int temp; temp = R	lui v0,0xb500 lw v0,264(v0) nop... sw vo,16(s8)	$t_{CPU}+1$ $t_{CPU}+1+t_{ZU_R}$ $t_{CPU}+1+t_{ZU_temp}$

В модели взаимодействия приняты следующие допущения: момент формирования nDMAR относительно времени выполнения программы процессора является случайной величиной; программа построена следующим образом: непрерывно чередуются обращения к памяти СВМ на чтение и на запись, в любой момент времени возможно обращение в любую область памяти СВМ. Сигнал nDMAR формируется после фиксации факта обмена контроллером DMA через время, равное одному такту ПЛИС. Условием возникновения сбоя является переполнение внутреннего буфера ПЛИС в режиме приема массива данных и отсутствие данных для выдачи в буфере в режиме передачи массива данных.

Результаты моделирования показывают, что стабильная передача 32Кбайт слов не может быть гарантирована в случае, когда обмен осуществляется с внешней памятью СВМ. По результатам моделирования рекомендовано проводить обмены с внутренней памятью СВМ-24. Оптимальные значения параметров КСМ: $N_{RD} \geq 512$, $k_{RD} = 16$, $N_{WR} \geq 512$, $k_{WR} = 16$. Одновременные прием и передача массива по магистрали запрещены, поэтому для сокращения ресурсов ПЛИС целесообразно использовать один буфер для приема и передачи массива.

Варианты реализации КСМ с параметрами $N_{RD} = 8, 16, 64, 128, 256, 1024$, $k_{RD} = 2, 4, 8, 16$ опробованы на практике. Результаты моделирования соответствуют данным, полученным экспериментальным путем.

Выводы

Задача реализации КСМ для СВМ, осуществляющего сопряжение процессора СВМ с системной магистралью, достаточно сложна ввиду невозможности останова процессора извне, специфичности интерфейса системной магистрали и ограниченности ресурсов ПЛИС, на базе которой реализуется КСМ. Исследованы варианты реализации КСМ, основанные на практических проработках приборной реализации.

Взаимодействие КСМ с системной магистралью осуществляется посредством кодера/декодера. Взаимодействие КСМ с процессором целесообразно организовать посредством контроллера прямого доступа в память, осуществляющего обмены по типу память-память.

Исследованы варианты реализации КСМ с минимальными затратами на ресурсы ПЛИС, осуществляющего промежуточное хранение двух или четырех слов для выдачи. Результаты исследования показывают, что применение таких вариантов нецелесообразно ввиду невозможности стабильной передачи данных из внешней памяти СВМ. Исследован вариант реализации КСМ с внутренним буфером, осуществляющим хранение промежуточных данных, при этом за одно предоставление прямого доступа в память обеспечивается передача пачки слов. Сделан вывод о пригодности такой реализации КСМ для СВМ. Методом имитационного моделирования определены оптимальные размер буфера и размер пачки, равные 512 и 16 соответственно, критерием оптимальности является стабильная передача данных размером 32К слов.

Список литературы

1. Антимиров В.М. Бортовые цифровые вычислительные системы семейства «Малахит» для работы в экстремальных условиях / В.М. Антимиров, А.Б. Уманский, Л.Н. Шалимов // Вестник Самарского государственного аэрокосмического университета. – Самара: Самарский гос. аэрокосм. ун-т, 2013. – №4 (42). – С. 19–27.
2. ГОСТ Р 52070-2003. Интерфейс магистральный последовательный системы электронных модулей. Общие требования. – М.: ИПК Издательство стандартов, 2003. – 24 с.
3. ECSS-E-50-12A. SpaceWire – Links, nodes, routers and networks. – European Cooperation for Space Standardization (ECSS), 2003. – p. 124.
4. Микросхема интегральная 1892ВМ8Я. Руководство пользователя. – ОАО НПЦ «Элвис», 2014. – 294 с.
5. Микросхемы интегральные 5576XC1Т, 5576XC1Т1. Инструкция по программированию. ГПКФ.431262.001Д4. – ОАО «КТЦ» Электроника», 2007. – 71 с.
6. Спецификация 1645РУ4АУ, 1645РУ4БУ. ТСКЯ.431223.005СП. – ЗАО «ПКК Миландр», 2009. – 22 с.
7. Спецификация 1636РР2У, К1636РР2У. ТСКЯ.431214.002СП. – ЗАО «ПКК Миландр», 2009. – 34 с.

The References

1. Antimirov V.M., Umanskiy A.B., Shalimov L.N. Bortovye cifrovye vychislitel'nye sistemy semejstva «Malahit» dlja raboty v jekstremal'nyh uslovijah [Onboard digital computer systems of the "Malachite" family for extreme conditions]. Vestnik Samarskogo gosudarstvennogo ajerokosmicheskogo universiteta. Samara, 2013, no. 4 (42), pp. 19–27.
2. MIL-STD-1533 / 1760. 5V Monolithic Dual Transceivers. – Holt Integrated circuits inc., 2014. – 10 p.
3. ECSS-E-50-12A. SpaceWire – Links, nodes, routers and networks. – European Cooperation for Space Standardization (ECSS), 2003. – p. 124.
4. Chip integrated 1892VM8YA. User manual. – R&D Center «Elvees», 2014. – 294 p.
5. Chip integrated 5576XC1T, 5576XC1T1. User guide. – EDC Electronics, 2007. – 71 p.
6. Specification 1645RU4AU, 1645RU4BU. – ICC Milandr, 2009. – 22 p.
7. Specification 1636RR2U, K1636RR2U. – ICC Milandr, 2009. – 34 p.