

## РЕАЛИЗАЦИЯ ИНТЕРФЕЙСА MAC УРОВНЯ ДЛЯ ETHERNET НА ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМАХ

*Попов А.Н., Гусев А.В.*

ФГАОУ ВО «УрФУ имени первого Президента России Б.Н. Ельцина»,  
Екатеринбург, Россия

*Anton.Popov2@at.urfu.ru*

**Аннотация.** В работе представлена реализация модуля MAC уровня Ethernet на языке описания аппаратуры Verilog для программируемых логических интегральных схем типа FPGA. Рассматриваются уровни Ethernet и интерфейсы между уровнями MAC и PHY.

**Ключевые слова:** Ethernet, MAC, FPGA, фильтрация пакетов, независимый от среды передачи интерфейс.

## IMPLEMENTATION OF MAC LEVEL INTERFACE FOR ETHERNET ON PROGRAMMABLE LOGIC INTEGRATED CIRCUITS

*Popov A.N., Gusev A.V.*

Ural Federal University, Ekaterinburg, Russia

**Abstract.** The paper presents an implementation of the Ethernet MAC module in the Verilog hardware description language for programmable logic integrated circuits. The Ethernet layers and interfaces between the MAC and PHY layers are covered.

**Keywords:** Ethernet, MAC, FPGA, packet filtering, media-independent interface.

### 1. Введение

На сегодняшний день наиболее распространенным способом объединения вычислительных устройств в сеть является применение технологии Ethernet [1], которая осуществляет коммутацию пакетов данных, позволяя

нескольким вычислительным устройствам взаимодействовать через общую среду передачи. Усложнение конфигурации сетей и повышение нагрузки на вычислительные устройства конечных узлов сети, а также возрастание требований по обеспечению безопасности сетевых взаимодействий обуславливают актуальность задачи реализации фильтрации принимаемых пакетов аппаратными средствами конечных узлов сети.

Цель работы заключается в разработке интерфейса MAC уровня на языке описания аппаратуры Verilog для создания средств аппаратной фильтрации пакетов данных конечного узла сети на программируемых логических интегральных схемах (ПЛИС) типа FPGA.

## **2. Основная часть**

Ethernet включает в себя два уровня: физический (PHY – Physical layer device) и канальный, состоящий из двух подуровней:

- управления доступом к среде передачи (MAC – Media Access Control);
- логической передачи данных (LLC – Logical Link Control).

Уровень PHY осуществляет кодирование и синхронизацию передачи и приема отдельных битов, MAC выполняет адресное разделение среды передачи, LLC обеспечивает требуемое качество передачи.

В стандартных реализациях Ethernet решений классификация и фильтрация принимаемых пакетов осуществляется не на уровне MAC и является отдельным этапом обработки пакетов. Для сетевых карт (NIC – Network Interface Controller) конечных узлов сети фильтрация выполняется программным обеспечением операционной системы, в коммутаторах – их аппаратным обеспечением [3].

Этап фильтрации принимаемых конечными сетевыми узлами пакетов может осуществляться на уровне MAC, что позволит избежать использования вычислительных ресурсов конечного узла и уменьшить общую задержку обработки.

В зависимости от требуемой скорости передачи данных в сети МАС и РНУ соединяются между собой при помощи одного из стандартных интерфейсов (таблица 1).

Таблица 1 –Интерфейсы МП и их основные характеристики

| Интерфейс                        | Тактовая частота, МГц | Число линий для передачи данных между РНУ и МАС                | Общее число линий интерфейса | Скорость передачи, Мбит/с |
|----------------------------------|-----------------------|----------------------------------------------------------------|------------------------------|---------------------------|
| МП – media-independent interface | 2,5; 25               | TX – 4, RX – 4                                                 | 18                           | до 100                    |
| РМП – Reduced МП                 | 50                    | TX – 2, RX – 2                                                 | 10                           | до 100                    |
| ГМП – Gigabit МП                 | 125                   | TX – 8, RX – 8                                                 | 27                           | до 1000                   |
| РГМП – Reduced Gigabit МП        | 2,5; 25; 125          | TX – 4, RX – 4                                                 | 14                           | до 1000                   |
| СГМП – Serial Gigabit МП         | 625                   | TX – 1 (дифференциальная пара), RX – 1 (дифференциальная пара) | 8 (6)                        | до 1250                   |

Различная скорость передачи данных обеспечивается за счет рабочих тактовых частот интерфейсов и числа линий, используемых для передачи между МАС и РНУ.

Для реализации модуля МАС на языке описания аппаратуры Verilog выбран интерфейс РМП, как наиболее простой для проектирования и отладки. Разработанный модуль МАС (рисунок 1) включает в себя модуль передатчика TX, состоящий из конечного автомата управления передачей пакетов (TX), кольцевого FIFO-буфера (tx\_fifo), преобразователя 8-ми разрядных данных в 2-х битные последовательности (converter\_8in2), вычислителя контрольной суммы передаваемого пакета (CRC32\_D8); модуль приемника RX, состоящий из конечного автомата управления приемом (RX), кольцевого FIFO-буфера (rx\_fifo), преобразователя 2-битных принимаемых последовательностей в 8-разрядные данные (converter\_2in8), вычислителя контрольной суммы принимаемого пакета (RX\_CRC32\_D8), регистров, содержащих МАС-адрес устройства (MAC\_fifo); модуля интерфейса управления MDIO (на рисунке 1 не показан).

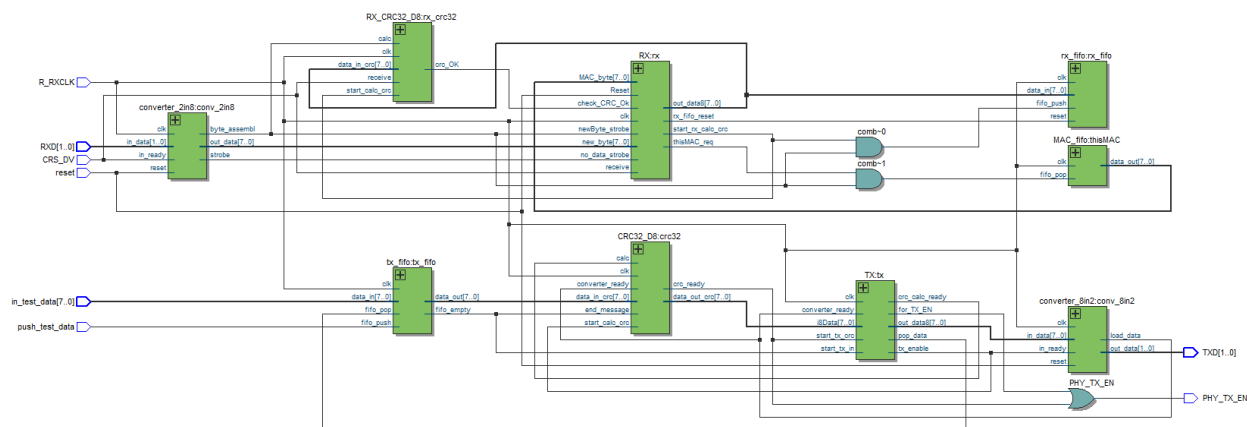


Рисунок 1 – Структура разработанного модуля MAC

### 3. Заключение

В результате разработан интерфейс MAC на языке описания аппаратуры Verilog [2]. Функционирование модулей проверено с помощью программного обеспечения ModelSim, для чего на языке Verilog разработан модуль, содержащий тестовые воздействия.

Работа модулей приемника и передатчика проверялась отдельно: пакет для передачи поступает в кольцевой FIFO-буфер передатчика; принимаемый пакет поступает на линии RXD0 и RXD1, а также при замыкании выхода передатчика на вход приемника.

Отладка модуля приемника осуществлялась для следующих пакетов:

- корректных Ethernet-пакетов;
- пакетов с MAC-адресом, не соответствующим данному устройству;
- пакетов с неверным значением контрольной суммы CRC32.

Работоспособность модуля проверялась путем симуляции созданного описания на языке Verilog в среде ModelSim, а также при приеме Ethernet-пакетов в отладочной плате DE1-SoC средствами логического анализатора SignalTap, использующего свободные блоки памяти микросхемы FPGA для фиксации сигналов во время выполнения модуля. Процесс обработки принимаемого Ethernet-пакета представлен на рисунке 2.

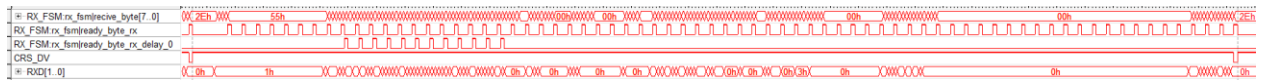


Рисунок 2 – Обработка принимаемого Ethernet-пакета

### **Библиографический список**

1. "IEEE Standard for Ethernet" in IEEE Std 802.3-2022 (Revision of IEEE Std 802.3-2018), vol., no., pp.1-7025, 29 July 2022.
2. Цифровой синтез: практический курс / под общ. ред. А. Ю. Романова, Ю. В. Панчула. – Москва: ДМК Пресс, 2020. – 556 с.
3. Wang, G. Design and implementation of an embedded router with packet filtering / Guoqin Wang, Meihua Xu and Xuan Huan // 2012 IEEE Symposium on Electrical & Electronics Engineering (EEESYM), Kuala Lumpur, Malaysia. – 2012. – p. 285-288.