

## IP-ЯДРО АППАРАТНОГО УМНОЖИТЕЛЯ ЦЕЛЫХ ЧИСЕЛ ДЛЯ СБИС ФУНКЦИОНАЛЬНО-ОРИЕНТИРОВАННОГО ПРОЦЕССОРА

Лисовский Д.А.<sup>1</sup>, Лукин Н.А.<sup>1</sup>, Гусев А.В.<sup>1</sup>

<sup>1</sup>) Уральский Федеральный Университет, Екатеринбург, Россия

E-mail: danil.lisovsky@yandex.ru

## IP-CORE OF HARDWARE MULTIPLIER OF INTEGER FOR VLSI FUNCTION-ORIENTED PROCESSOR

Lisovsky D.A.<sup>1</sup>, Lookin N.A.<sup>1</sup>, Gusev A.V.<sup>1</sup>

<sup>1</sup>) Ural Federal University, Yekaterinburg, Russia

The article discusses using the algorithm for parallel multiplication of integers in two's complement code for increasing the speed of the multiplication in function-oriented processors. The results of prototyping a multiplier circuit using FPGA technology are presented.

Вычислительные системы, применяемые в различных отраслях науки и техники (суперкомпьютеры [1], встраиваемые системы [2], в частности, бортовая аппаратура систем управления [3]), объединяет то, что все они требуют дальнейшего увеличения производительности. Анализ тенденций развития микроэлектроники выявляет следующие методы повышения эффективности вычислений:

- повышение тактовой частоты работы модулей системы;
- многопоточная обработка данных;
- аппаратная реализация наиболее востребованных функций;

Первый метод является неприемлемым для большинства встраиваемых и бортовых систем, ввиду значительного роста потребляемой мощности аппаратуры и, как следствие, ухудшению массо-габаритных характеристик аппаратуры.

Распараллеливание вычисления на базе многопроцессорных вычислительных систем приводит к дополнительным расходам и ограничениям, связанных с увеличением количества применяемых в них процессоров [4].

Использование аппаратной реализации функций, требуемых для системы вычислений, является рациональным решением, так как не приводит к повышению частоты работы элементов и лишь незначительно увеличивает число процессоров при существенном повышении производительности. Основными вычислительными элементами в таком подходе становятся функционально-ориентированные процессоры (ФОП), ключевая особенность которых – аппаратная поддержка сложных арифметических преобразований и математических функций [5].

Одним из наиболее актуальных применений ФОП являются бортовые бесплатформенные инерциальные навигационные системы (БИНС). Анализ основных алгоритмов бесплатформенной навигации, включающих в свой состав вычисление параметров ориентации, пересчет приращений составляющих кажущейся скорости из связанной системы координат в инерциальную и учет систематических погрешностей, показывает, что базовыми вычислительными операциями являются операции векторно-матричной алгебры. В алгоритмах БИНС наиболее часто используется операция класса скалярного произведения векторов. В качестве компонентов векторов используются выходные коды датчиков угловых скоростей и акселерометров, а также промежуточные параметры алгоритмов.

Вид базовой операции определяет необходимость первоочередной реализации операции умножения. Режим жесткого реального времени определяет минимальное время выполнения этой операции. Это, в свою очередь, приводит к необходимости аппаратной реализации собственно процесса образования произведения. В данной работе рассматриваются аспекты проектирования аппаратного модуля быстрого умножения «MULT64», предназначенного для реализации умножения 64-битных операндов, заданных в прямом и дополнительном кодах (дополнение вида «2's complement code»). Структурная схема модуля приведена на рисунке. В частности, обсуждается реализация главной части процессорного ядра – умножителя «MULT», представляющего собой параллельный умножитель целых знаковых и беззнаковых чисел на основе систолической матрицы из функциональных элементов.

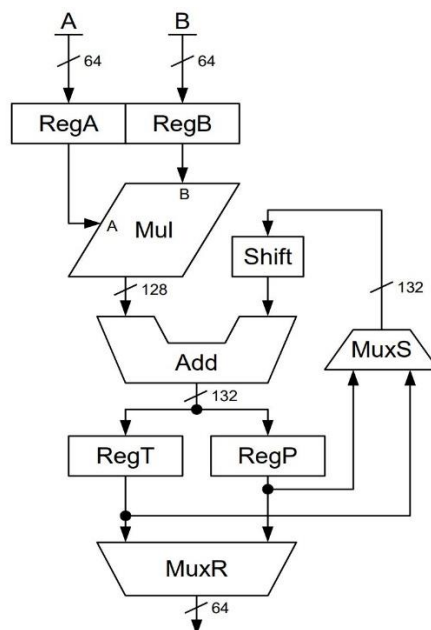


Рис. 1. Структурная схема модуля аппаратного умножения MULT64

1. Левин В. К. Тенденции развития суперкомпьютеров //Computational nanotechnology. – 2014. – №. 1.
2. Глубоков А., Роберт К. Многоядерные вычисления во встраиваемых системах //Компоненты и Технологии. – 2010. – №. 102. – С. 76-78.
3. Есиновский А. В., Маркин А. А., Яцук Г. Е. Направления совершенствования бортовых цифровых вычислительных систем //Ракетно-космическая техника. – 2012. – Т. 1. – №. 1. – С. 15-15.
4. Мирошников А. С. Система управления параллельной обработки данных в локальных вычислительных сетях //Дисс. канд. техн. наук. Владикавказ. – 2000.
5. Лукин Н. А. Функционально-ориентированные процессоры ключевые компоненты встроенных суперкомпьютеров для систем реального времени //Известия Южного федерального университета. Технические науки. – 2014. – №. 12 (161). – С. 52-66.