

В качестве рабочего варианта была выбрана магнитная антенна, с индуктивностью $2,45\text{мкГн}$, выполненная в виде круглого алюминиевого обруча внешним диаметром 1 метр и диаметром трубки 20мм.

Для настройки антенны на требуемую частоту был изготовлен конденсатор переменной емкости с диапазоном от 14 до 310 пФ и рабочим напряжениями до 8,5 кВ. Это позволяет настраивать антенну в диапазоне частот от 5,77 до 27,17 МГц, а также подводить к антенне мощность более 100 Вт. Внешний вид антенны и конденсатора представлен на рисунке 1.



Рис. 1. Антенна и конденсатор

Основными достоинства разработанной антенны являются:

- Высокая помехозащищенность;
- Узкая диаграмма направленности;
- Узкополосность с возможностью перестройки в большом интервале частот;
- Компактные размеры;
- Ремонтопригодность;
- Отсутствие потребности в наличии заземления либо противовесов;
- Модульность

1. Орлов А.В., Бардюг Д.Ю., Елимова Т.В., Ивашинюта Ю.И. Физический вестник высшей школы естественных наук и технологий САФУ, вып. 19, (2019) находится в печати

РАЗРАБОТКА ДИНАМИЧЕСКИ РЕКОНФИГУРИРУЕМЫХ УСТРОЙСТВ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ НА ОСНОВЕ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ (ПЛИС)

Пирогов А.А.¹, Башкиров А.В.¹, Пирогова Ю.А.¹, Гвозденко С.А.¹

¹⁾ Воронежский государственный технический университет

THE DEVELOPMENT OF DYNAMICALLY RECONFIGURABLE DEVICES OF DIGITAL SIGNAL PROCESSING BASED ON FIELD-PROGRAMMABLE GATE ARRAY (FPGA)

Pirogov A.A.¹, Bashkirov A.V.¹, Pirogova Yu.A.¹, Gvozdenko S.A.,¹

¹) Voronezh State Technical University

This article presents an analysis of digital signal processing techniques. As a result, RTL descriptions of IP-core modules of digital processors were obtained carried out by functional and physical verification.

Целью работы является разработка IP-ядра модели устройства цифровой обработки сигнала. Работа включает построение RTL описания и проведение верификации. Построенная модель реализует трансфертную и рекурсивную модификацию сигнала, децимацию и интерполяцию входных и выходных отчётов, осуществляет работу с внешними модулями I2S, АЦП, ЦАП. Общая структура цифрового фильтра на ПЛИС переставлена на рисунке ниже.

Цифровой фильтр содержит идентичные каналы итеративной обработки сигнала «Фильтр_N» где N номер канала, буфер-синхронизатор, контроллер блочной памяти, параллельно-последовательный порт, встроенный аудио кодек модуль I2S, «линк-порт» управления [1].

Параллельный и последовательный порт служит для чтения и записи регистров конфигурации модулей устройства, а также для доступа к памяти программ профилей обработки сигналов [2].

Линк-порт служит для быстрого управления режимами обработки сигнала путём передачи по 4-х битному параллельному интерфейсу номера, профиля для левого и правого канала.

Блок буфера-синхронизатора управляет, предназначен для синхронизации отдельных модулей, управления транзакциями данных.

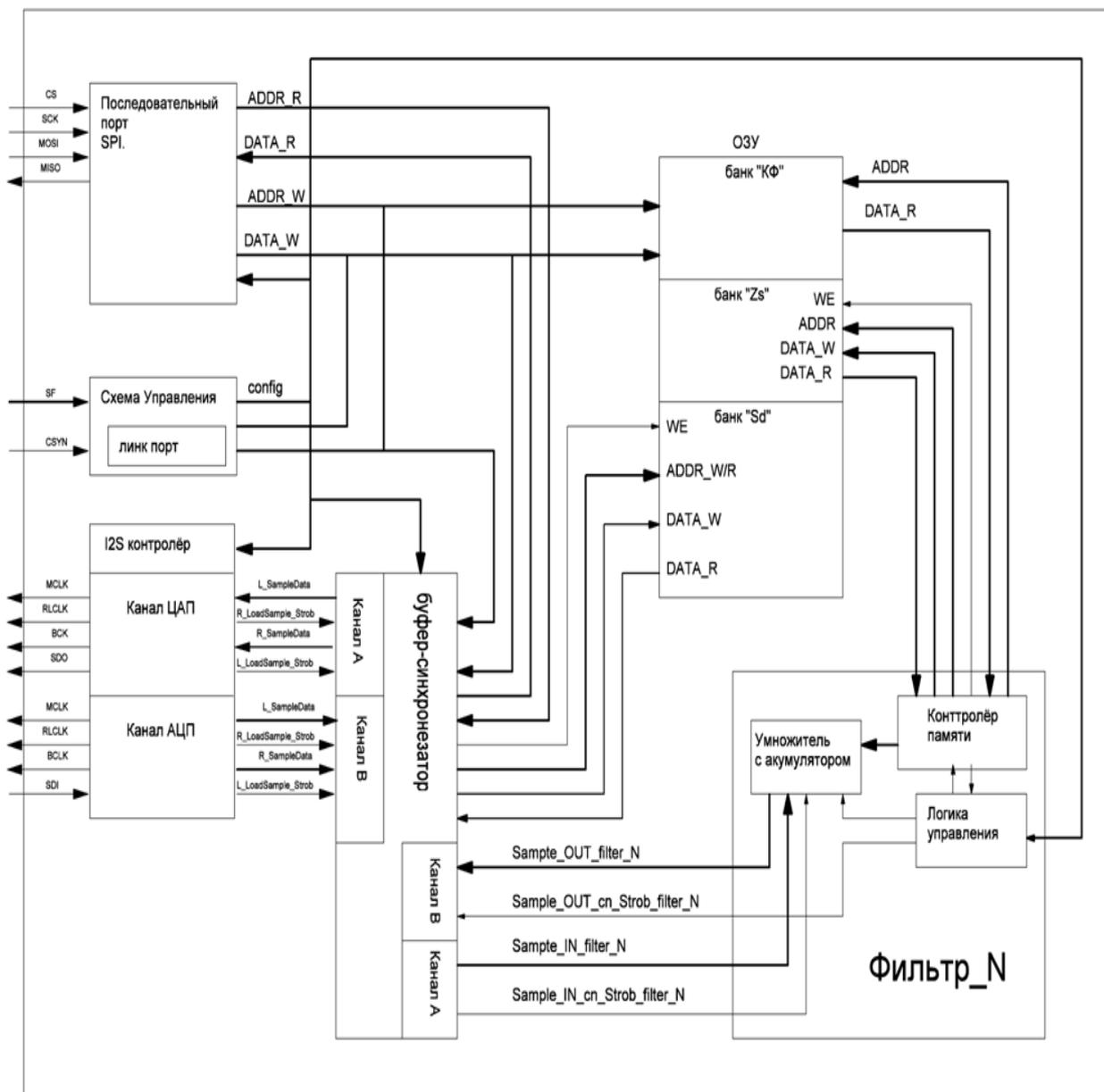


Рис. 1. Общая функциональная схема

1. Немудров В. Д. Системы на кристалле. Проектирование и развитие / В. Д. Немудров, Г.В. Мартин – М.: Техносфера, 2004.- 246 с.

2. Угрюмов, Е.П. Цифровая схемотехника : учеб. пособие / Е.П. Угрюмов. – 2-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2004. – 800 с.